

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.  
009485063      \*\*Image available\*\*

WPI Acc No: 1993-178598/199322

XRAM Acc No: C93-079688

XRPX Acc No: N93-136899

Thin film transistor mfr. - in which gettering layer absorbs crystal  
defects or impurities in semiconductor thin film by annealing    NoAbstract

Patent Assignee: CASIO COMPUTER CO LTD (CASK    )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5109737	A	19930430	JP 91297647	A	19911018	199322    B

Priority Applications (No Type Date): JP 91297647 A 19911018

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 5109737	A		4 H01L-021/322	

Title Terms: THIN: FILM: TRANSISTOR: MANUFACTURE: GETTER: LAYER: ABSORB:  
CRYSTAL: DEFECT: IMPURE: SEMICONDUCTOR: THIN: FILM: ANNEAL:  
NOABSTRACT

Derwent Class: L03: U11

International Patent Class (Main): H01L-021/322

International Patent Class (Additional): H01L-029/784

File Segment: CPI: EPI

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-109737

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.<sup>5</sup>H 0 1 L 21/322  
29/784

識別記号

P 8617-4M

9056-4M

庁内整理番号

F I

H 0 1 L 29/ 78

技術表示箇所

3 1 1 R

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平3-297647

(22)出願日 平成3年(1991)10月18日

(71)出願人 000001443

カシオ計算機株式会社  
東京都新宿区西新宿2丁目6番1号

(72)発明者 山田 裕康

東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内

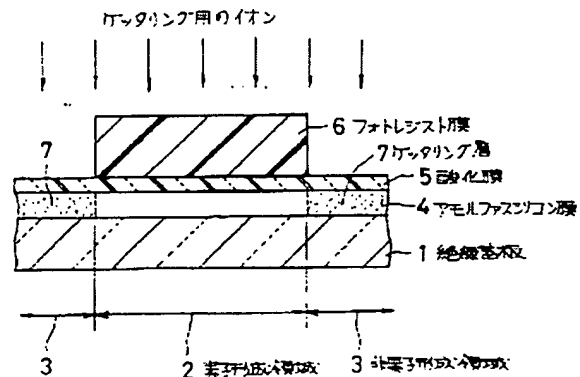
(74)代理人 弁理士 杉村 次郎

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【目的】 薄膜トランジスタの製造に際し、結晶欠陥や不純物等を素子活性領域から除去する。

【構成】 絶縁基板1上にアモルファスシリコン膜4を堆積し、その上に酸化膜5を形成し、その上にパターン形成したフォトリソ膜6をマスクとしてイオンを注入することにより、非素子形成領域3に対応する部分のアモルファスシリコン膜4のみを高不純物領域化してゲッタリング層7とする。次に、フォトリソ膜6を除去した後レーザアニールすることにより、アモルファスシリコン膜4を結晶化してポリシリコン膜とすると共に、素子形成領域2に対応する部分のアモルファスシリコン膜4における結晶欠陥や不純物等をその周囲の高不純物領域7に吸収させる。この後、酸化膜5を除去し、次いで素子分離により不要な部分のポリシリコン膜(ゲッタリング層7)を除去する。この状態では、絶縁基板1上の素子形成領域2のみにポリシリコン膜が形成されている。



## 【特許請求の範囲】

【請求項1】 素子形成領域およびその周囲の非素子形成領域に半導体薄膜を堆積し、次いで前記非素子形成領域に対応する部分の前記半導体薄膜のみを高不純物領域化してゲッタリング層とし、次いでアニールすることにより、前記素子形成領域に対応する部分の前記半導体薄膜における結晶欠陥や不純物等をその周囲の前記ゲッタリング層に吸収させ、次いで該ゲッタリング層を除去することを特徴とする薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は薄膜トランジスタの製造方法に関する。

## 【0002】

【従来の技術】 シリコンウェーハを用いたトランジスタ製造技術では、ゲッタリング技術を用いて、結晶欠陥や不純物等を素子活性領域から除去することにより、良好な素子特性を得るようにしている。一方、薄膜トランジスタ製造技術では、ガラス等からなる絶縁基板上にアモルファスシリコンやポリシリコン等からなる半導体薄膜を堆積した後素子分離することにより、素子形成領域に半導体薄膜をパターン形成しているため、シリコンウェーハを用いたトランジスタ製造技術で用いられているゲッタリング技術を利用することができない。

## 【0003】

【発明が解決しようとする課題】 このように、従来の薄膜トランジスタ製造技術では、シリコンウェーハを用いたトランジスタ製造技術で用いられているゲッタリング技術を利用することができないので、結晶欠陥や不純物等を素子活性領域から除去することができず、ひいては良好な素子特性を得ることができない場合があるという問題があった。この発明の目的は、結晶欠陥や不純物等を素子活性領域から除去することのできる薄膜トランジスタの製造方法を提供することにある。

## 【0004】

【課題を解決するための手段】 この発明は、素子形成領域およびその周囲の非素子形成領域に半導体薄膜を堆積し、次いで非素子形成領域に対応する部分の半導体薄膜のみを高不純物領域化してゲッタリング層とし、次いでアニールすることにより、素子形成領域に対応する部分の半導体薄膜における結晶欠陥や不純物等をその周囲のゲッタリング層に吸収させ、次いでゲッタリング層を除去するようにしたものである。

## 【0005】

【作用】 この発明によれば、非素子形成領域に対応する部分の半導体薄膜のみを高不純物領域化してゲッタリング層とした後アニールすることにより、素子形成領域に対応する部分の半導体薄膜における結晶欠陥や不純物等をその周囲のゲッタリング層に吸収させ、その後ゲッタリング層を除去しているため、結晶欠陥や不純物等を素

子活性領域から除去することができる。

## 【0006】

【実施例】 図1～図4はこの発明の一実施例における薄膜トランジスタの各製造工程を示したものである。そこで、これらの図を順に参照しながら、薄膜トランジスタの製造方法について説明する。

【0007】 まず、図1に示すように、ガラス等からなる絶縁基板1の上面の素子形成領域2およびその周囲の非素子形成領域3にアモルファスシリコン膜4を堆積する。次に、熱酸化により、アモルファスシリコン膜4の上面に酸化膜5を形成する。次に、素子形成領域2に対応する部分の酸化膜5の上面にフォトレジスト膜6をパターン形成する。次に、フォトレジスト膜6をマスクとして、非素子形成領域3に対応する部分のアモルファスシリコン膜4にイオン注入装置によりリン、ボロン、アルゴン、酸素、炭素等のゲッタリング用のイオンを注入し、非素子形成領域3に対応する部分のアモルファスシリコン膜4のみを高不純物領域化してゲッタリング層7とする。この後、フォトレジスト膜6を除去する。

【0008】 次に、図2に示すように、レーザアニールすることにより、アモルファスシリコン膜4を結晶化してポリシリコン膜8とすると共に、素子形成領域2に対応する部分のアモルファスシリコン膜4における結晶欠陥や不純物等をその周囲のゲッタリング層7に吸収させる。この後、酸化膜5を除去し、次いで素子分離により、非素子形成領域3に対応する部分の不要なポリシリコン膜8つまりゲッタリング層7を除去する。したがって、この状態では、絶縁基板1の上面の素子形成領域2のみにポリシリコン膜8が形成されている。

【0009】 次に、図3に示すように、全表面に酸化シリコンや窒化シリコン等からなるゲート絶縁膜9を形成する。次に、ポリシリコン膜8のチャネル領域10に対応する部分のゲート絶縁膜9の上面にアルミニウムからなるゲート電極11をパターン形成する。次に、ゲート電極11をマスクとしてイオン注入装置によりリンやボロン等のソース・ドレイン形成用のイオンを注入し、ゲート電極11の両側におけるポリシリコン膜8にソース・ドレイン領域12を形成する。

【0010】 次に、図4に示すように、全表面に酸化シリコンや窒化シリコン等からなる層間絶縁膜13を形成する。次に、ソース・ドレイン領域12に対応する部分の層間絶縁膜13およびゲート絶縁膜9にコンタクトホール14を形成する。次に、コンタクトホール14を介してソース・ドレイン領域12と接続されるアルミニウムからなるソース・ドレイン電極15を層間絶縁膜13の上面にパターン形成する。かくして、薄膜トランジスタが製造される。

【0011】 このようにして製造された薄膜トランジスタでは、非素子形成領域3に対応する部分のアモルファスシリコン膜4のみを高不純物領域化してゲッタリング

層7とした後アニールすることにより、素子形成領域2に対応する部分のアモルファスシリコン膜4における結晶欠陥や不純物等をその周囲のゲッターリング層7に吸収させ、この後ゲッターリング層7を除去しているので、結晶欠陥や不純物等を素子活性領域から除去することができ、ひいては良好な素子特性を得ることができる。また、1回のアニール工程により、アモルファスシリコン膜4を結晶化してポリシリコン膜8とすると同時に、素子形成領域2に対応する部分のアモルファスシリコン膜4における結晶欠陥や不純物等をその周囲のゲッターリング層7に吸収させることができ、また素子分離により、非素子形成領域4に対応する部分の不要なポリシリコン膜8つまりゲッターリング層7を除去しているので、工程数なるべく増加しないようにすることができる。さらに、ゲッターリング用のイオンとしてソース・ドレイン形成用のイオンと同じイオンを用いることにすれば、ゲッターリング用のイオンの注入をソース・ドレイン形成用のイオン注入装置によって行うこともできる。

【0012】なお、上記実施例では、絶縁基板1の上面に堆積したアモルファスシリコン膜4を結晶化してポリシリコン膜8としているが、これに限らず、絶縁基板の上面にポリシリコン膜を直接堆積するようにしてもよい。また、イオン注入装置の代わりに、熱拡散法を用いてもよく、またレーザアニールの代わりに、高温熱処理を施してもよい。さらに、コプラナ型の薄膜トランジスタに限らず、スタガ型の薄膜トランジスタにも適用することができる。

【0013】

【発明の効果】以上説明したように、この発明によれば、非素子形成領域に対応する部分の半導体薄膜のみを高不純物領域化してゲッターリング層とした後アニールすることにより、素子形成領域に対応する部分の半導体薄膜における結晶欠陥や不純物等をその周囲のゲッターリング層に吸収させ、この後ゲッターリング層を除去している

ので、結晶欠陥や不純物等を素子活性領域から除去することができ、ひいては良好な素子特性を得ることができる。

【図面の簡単な説明】

【図1】この発明の一実施例における薄膜トランジスタの製造に際し、絶縁基板の上面にアモルファスシリコン膜および酸化膜を形成し、さらにその上面にパターン形成したフォトリソ膜をマスクとしてゲッターリング用のイオンを注入してゲッターリング層を形成した状態の断面図。

【図2】同薄膜トランジスタの製造に際し、フォトリソ膜を除去した後レーザアニールすることにより、アモルファスシリコン膜を結晶化してポリシリコン膜とすると共に素子形成領域に対応する部分のアモルファスシリコン膜における結晶欠陥や不純物等をその周囲のゲッターリング層に吸収させた状態の断面図。

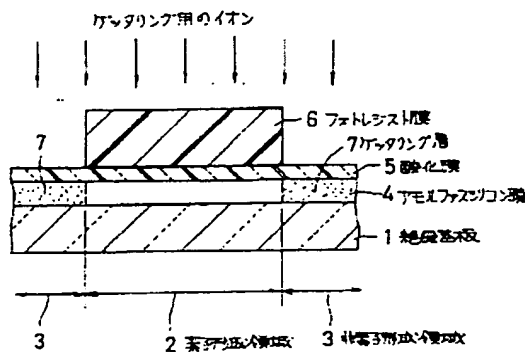
【図3】同薄膜トランジスタの製造に際し、酸化膜および不要なポリシリコン膜（ゲッターリング層）を除去した後ゲート絶縁膜およびゲート電極を形成し、さらにゲート電極をマスクとしてソース・ドレイン形成用のイオンを注入してソース・ドレイン領域を形成した状態の断面図。

【図4】同薄膜トランジスタの製造に際し、層間絶縁膜、コンタクトホールおよびソース・ドレイン電極を形成した状態の断面図。

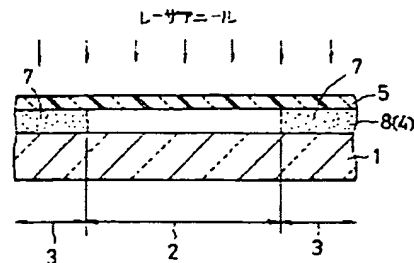
【符号の説明】

- 1 絶縁基板
- 2 素子形成領域
- 3 非素子形成領域
- 4 アモルファスシリコン膜
- 5 酸化膜
- 7 ゲッターリング層
- 8 ポリシリコン膜

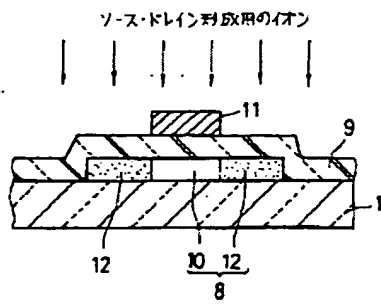
【図1】



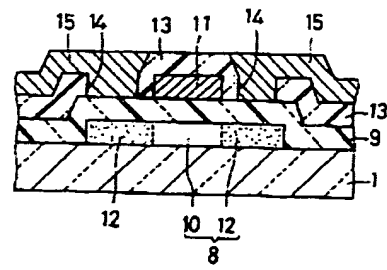
【図2】



【図3】



【図4】



Japanese Patent Laid-Open No. 5-109737

Laid-Open Date: April 30, 1993

Application No. 3-297647

Application Date: October 18, 1991

Applicant: casio Computer Co., Ltd.

Inventor: Yasuhiro Yamada

[Title of the Invention]

METHOD OF MANUFACTURING THIN FILM TRANSISTOR

[Abstract]

[Purpose] To remove crystalline defects and impurities from an element active region when a thin film transistor is manufactured.

[Constitution] An amorphous silicon film 4 is deposited on an insulating substrate 1 and an oxide film 5 is formed thereon, and ions are implanted therein by using a patterned photoresist film 6 as a mask to make only the amorphous silicon film 4 of a part corresponding to an element non-forming region 3 into a region having a high impurity concentration and to form a gettering layer 7. Then, the photoresist film 6 is removed and then the amorphous silicon film 4 is crystallized by laser annealing to form a polysilicon film, and at the same time, to make a region 7 having a high impurity concentration around an element forming region 2 absorb crystalline defects and impurities in the amorphous silicon film 4 of the part

corresponding to the element forming region 2. Then, the oxide film 5 is removed and then the polysilicon film (gettering layer 7) of the unnecessary part is removed by separating the elements. In this state, the polysilicon film is formed only on the element forming region 2 on the insulating substrate 1.

[Claim]

[Claim 1] A method of manufacturing a thin film transistor, said method comprising the steps of:

depositing a semiconductor thin film over an element forming region and over an element non-forming region around the element forming region;

making only the semiconductor thin film of a part corresponding to the element non-forming region into a region having a high impurity concentration to form a gettering layer;

annealing the gettering layer, whereby the crystalline defects and impurities in the semiconductor thin film of a part corresponding to the element forming region are absorbed by the gettering layer around the element forming region; and

removing the gettering layer.

[Detailed Description of the Invention ]

[0001]

[Field of Industrial Application] The present invention relates to a method of manufacturing a thin film transistor.

[0002]

[Description of Prior Art] In a method of manufacturing

a transistor using a silicon wafer, good element properties can be produced by removing crystalline defects and impurities from an element active region by using a gettering technology. On the other hand, in a method of manufacturing a thin film transistor, a semiconductor thin film made of amorphous silicon, polysilicon, or the like, is deposited on an insulating substrate made of glass or the like, and then the semiconductor thin film is patterned on an element forming region by separating elements. Therefore, the gettering technology employed by the method of manufacturing a transistor using a silicon wafer can not be employed.

[0003]

[Problems to be solved by the Invention] As described above, the conventional method of manufacturing a thin film transistor can not employ the gettering technology used by the method of manufacturing a transistor using a silicon wafer and hence has a problem that it can not remove the crystalline defects and impurities from the element active region and that sometimes it can not produce good element properties. It is the object of the present invention to provide a method of manufacturing a thin film transistor by which crystalline defects and impurities can be removed from an element active region.

[0004]

[Means for Solving the Problems] The present invention

provides a method of manufacturing a thin film transistor, the method including the steps of: depositing a semiconductor thin film over an element forming region and over an element non-forming region around the element forming region; making only the semiconductor thin film of a part corresponding to the element non-forming region into a region having a high impurity concentration to form a gettering layer; annealing the gettering layer, whereby the crystalline defects and impurities in the semiconductor thin film of a part corresponding to the element forming region are absorbed by the gettering layer around the element forming region; and removing the gettering layer.

[0005]

[Operation of the Invention] According to the present invention, only the semiconductor thin film of a part corresponding to the element non-forming region is made into a region having a high impurity concentration to form a gettering layer and then the gettering layer is annealed to make the gettering layer around the element forming region absorb the crystalline defects and impurities in the semiconductor thin film of a part corresponding to the element forming region, and then the gettering layer is removed. Therefore, the crystalline defects and impurities can be removed from an element active region.

[0006][Embodiments of the Invention]

FIG. 1 to FIG. 4 illustrate each manufacturing process of a thin film transistor in one embodiment in accordance with the present invention. A method of manufacturing a thin film transistor will be described with reference to these drawings.

[0007]

First, as shown in FIG. 1, an amorphous silicon film 4 is deposited on an element forming region 2 and an element non-forming region 3 around the region 2 on the surface of an insulating substrate 1 made of glass or the like. Then, an oxide film 5 is formed on the surface of the amorphous silicon film 4 by thermal oxidation. Then, a photoresist film 6 is patterned on the surface of the oxide film 5 of a part corresponding to the element forming region 2. Then, ions for performing the gettering of such as phosphorus, boron, argon, oxygen, carbon, and the like are ion-implanted by an ion implanter into the amorphous silicon film 4 of a part corresponding to an element non-forming region 3 by using the photoresist film 6 as a mask to make only the amorphous silicon film 4 of the part corresponding to the element non-forming region 3 into a region having a high impurity concentration, thereby forming a gettering layer 7. Thereafter, the photoresist film 6 is removed.

[0008]

Next, as shown in FIG. 2, the amorphous silicon film 4 is crystallized by laser annealing, whereby the amorphous

silicon film 4 is made into a polysilicon film 8 and crystalline defects and impurities in the amorphous silicon film 4 of the part corresponding to the element forming region 2 is absorbed by the gettering layer 7 around the element forming region 2. Thereafter, the oxide film 5 is removed and then the unnecessary polysilicon film 8 of the part corresponding to the element non-forming region 3, that is, the gettering layer 7 is removed. Therefore, in this state, the polysilicon film 8 is formed only on the element forming region 2 on the surface of the insulating substrate 1.

[0009]

Next, as shown in FIG. 3, a gate insulating film 9 made of silicon oxide, silicon nitride or the like is formed on the whole surface. Then, a gate electrode 11 made of aluminum is patterned on the surface of the gate insulating film 9 of a part corresponding to the channel region 10 of the polysilicon film 8. Then, ions for forming a source and a drain, such as phosphorus, boron, or the like, are implanted therein by an ion implanter by using the gate electrode 11 as a mask to form a source region 12 and a drain region 12 in the polysilicon film 8 on both sides of the gate electrode 11.

[0010]

Next, as shown in FIG. 4, an interlayer insulating film 13 made of silicon oxide, silicon nitride or the like is formed on the whole surface. Then, a contact hole 14 is formed in

the interlayer insulating film 13 and in the gate insulating film 9 of a part corresponding to each of the source region 12 and the drain region 12. Then, a source electrode 15 of and a drain electrode 15, each of which is made of aluminum and connected to the source region 12 or the drain region 12 via the contact hole 14, are patterned on the surface of the interlayer insulating film 13. A thin film transistor is manufactured in these ways.

[0011]

In the thin film transistor manufactured in these ways, only the amorphous silicon film 4 of the part corresponding to the element non-forming region 3 is made into a region having a high impurity concentration to form a gettering layer 7 and then the gettering layer 7 is annealed to make the gettering layer 7 around the element forming region 2 absorb the crystalline defects and impurities in the amorphous silicon film 4 of the part corresponding to the element forming region 2, and then the gettering layer 7 is removed. Therefore, the crystalline defects and impurities can be removed from element active region and hence a good element property can be produced. Further, one annealing process can crystallize the amorphous silicon film 4 to make it into a polysilicon film 8 and at the same time can make the gettering layer 7 around the element forming region 2 absorb the crystalline defects and impurities of the amorphous silicon film 4 of the part corresponding to

the element forming region 2, and the unnecessary polysilicon film 8 of the part corresponding to the element non-forming region 4, that is, the gettering layer 7 is removed by separating the elements, which can prevent the number of processes from increasing. Still further, if the same ions as are used for forming the source and the drain are used as ions for gettering, the ions for gettering can also be implanted with the same ion implanter as is used for forming the source and the drain.

[0012]

In this regard, in the embodiment described above, although the amorphous silicon film 4 deposited on the surface of the insulating substrate 1 is crystallized to make the polysilicon film 8, the polysilicon film may be deposited directly on the surface of the insulating substrate 1. Also, instead of the ion implanter, a thermal diffusion method may be used, and instead of a laser annealing method, a high temperature heat treatment may be performed. Further, this method can be applied not only to a coplanar type thin film transistor, but also to a stagger-type thin film transistor.

[0013]

[Effects of the Invention] As described above, according to the present invention, only a semiconductor thin film of the part corresponding to the element non-forming region is made into a region having a high impurity concentration to make

a gettering layer and then the gettering layer is annealed to make the gettering layer around the element forming region absorb the crystalline defects and impurities in the semiconductor thin film of the part corresponding to the element forming region, and then the gettering layer is removed. Therefore, the crystalline defects and the impurities can be removed from the element active region and hence good element properties can be produced.

[Brief Description of the Drawings]

[FIG. 1]

FIG. 1 is a cross-sectional view showing a state in which when a thin film transistor in one embodiment of the present invention is manufactured, an amorphous silicon film and an oxide film are formed on an insulating substrate and further ions for gettering are implanted into the surface thereof by using a patterned photoresist film as a mask to form a gettering layer.

[FIG. 2]

FIG. 2 is a cross-sectional view showing a state in which when the same thin film transistor is manufactured, the photoresist film is removed and then the amorphous silicon is crystallized by laser annealing to make the amorphous silicon into a polysilicon film and to make the gettering layer around an element forming region absorb the crystalline defects and impurities in the amorphous silicon film of the part

corresponding to the element forming region.

[FIG. 3]

FIG. 3 is a cross-sectional view showing a state in which when the same thin film transistor is manufactured, the oxide film and the unnecessary polysilicon film ( gettering layer ) are removed and then a gate insulating film and a gate electrode are formed, and ions for forming a source and a drain are implanted therein by using the gate electrode as a mask to form the source and the drain.

[FIG. 4]

FIG. 4 is a cross-sectional view showing a state in which when the same thin film transistor is manufactured, an interlayer insulating film, a contact hole, a source electrode, and a drain electrode are formed.

[Brief Description of the Reference Symbols]

1-insulating substrate, 2-element forming region, 3-element non-forming region, 4-amorphous silicon film, 5-oxide film, 7-gettering layer, 8-polysilicon film

FIG. 1-ions for gettering, FIG. 2-laser annealing, FIG. 3-ions for forming a source and a drain

層7として後アニールすることにより、電子形成領域2に对应する部分のアモルファスシリコン膜4における結晶欠陥や不純物等をその周囲のケタリング層7に吸収させる。この後ケタリング層7を除去して、電子形成領域2に对应する部分の非電子形成領域3に吸収させることができ、また電子分離により、非電子形成領域4に对应する部分の必要ホリソロン膜8をよりケタリング層7を除去して、その後、工程数が増加しないようにすることもできる。さらに、ケタリング用のイオンとしてナース・ドレイン形成用のイオンと同じイオンを用いることによれば、ケタリング用のイオンの注入をナース・ドレイン形成用のイオン注入装置によって行うこともできる。

【0012】なお、上記実施例では、絶縁基板1の上面に堆積したアモルファスシリコン膜4を結晶化してホリソロン膜8としているが、これに限らず、絶縁基板の上面にホリソロン膜を直接堆積するものとしてもよい。また、イオン注入装置の代わりに、外部照射を用いてもよい。また、レーザーアニール代わりに、高圧熱処理を施してもよい。さらに、ホリソン型の薄膜トランジスタに限らず、スタカ型の薄膜トランジスタにも適用することができよう。

【0013】

【発明の効果】以上説明したように、この発明によれば、非電子形成領域に对应する部分の半導体薄膜2を高圧熱処理してケタリング層とした後アニールすることにより、電子形成領域に对应する部分の半導体薄膜2における結晶欠陥や不純物等をその周囲のケタリング層7に吸収させる。この後ケタリング層7を除去して、

電子形成領域2に对应する部分の電子活性領域2に吸収させることができる。そして、これにより電子特性を高めることができる。

【図面の簡単な説明】

【図1】は、絶縁基板1の上面にアモルファスシリコン膜4を堆積し、酸化膜5を形成し、さらにその上面にケタリング層7を形成したアモルファスシリコン膜4をケタリング層7のイオンを注入してケタリング層を形成した状態の断面図。

【図2】は、絶縁基板1の上面にアモルファスシリコン膜4を堆積し、酸化膜5を形成し、さらにその上面にケタリング層7を形成したアモルファスシリコン膜4をケタリング層7のイオンを注入してケタリング層を形成した状態の断面図。

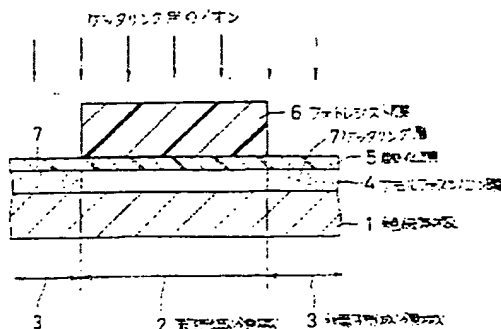
【図3】は、絶縁基板1の上面にアモルファスシリコン膜4を堆積し、酸化膜5を形成し、さらにその上面にケタリング層7を形成したアモルファスシリコン膜4をケタリング層7のイオンを注入してケタリング層を形成した状態の断面図。

【図4】は、絶縁基板1の上面にアモルファスシリコン膜4を堆積し、酸化膜5を形成し、さらにその上面にケタリング層7を形成したアモルファスシリコン膜4をケタリング層7のイオンを注入してケタリング層を形成した状態の断面図。

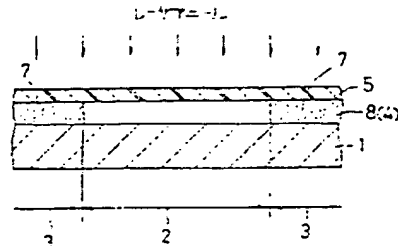
【符号の説明】

- 1 絶縁基板
- 2 電子形成領域
- 3 非電子形成領域
- 4 アモルファスシリコン膜
- 5 酸化膜
- 6 ケタリング層
- 7 ホリソン膜

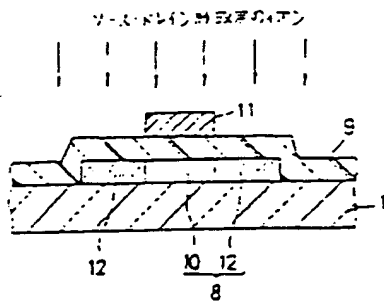
【図1】



【図2】



【図3】



【図4】

